

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-334928
(P2002-334928A)

(43)公開日 平成14年11月22日(2002.11.22)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 01 L 21/82		H 01 L 27/10	4 3 1 5 F 0 3 3
21/3205			4 6 1 5 F 0 6 4
21/768		21/82	F 5 F 0 8 3
21/8242		27/10	6 2 1 B
27/10	4 3 1	21/88	K

審査請求 未請求 請求項の数10 O.L (全 11 頁) 最終頁に続く

(21)出願番号 特願2001-136437(P2001-136437)

(22)出願日 平成13年5月7日(2001.5.7)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 福住 嘉晃

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

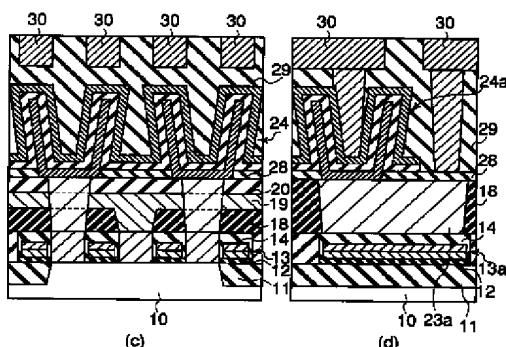
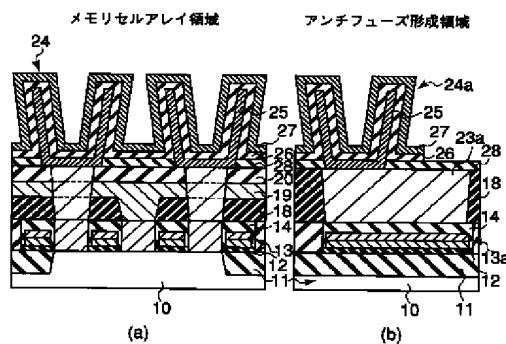
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】書き込み歩留まりの向上および書き込み電源回路部の占有面積の縮小を可能にするフューズ素子を備えた半導体装置およびその製造方法を提供する。

【解決手段】半導体基板10上に形成された配線溝22の内部に埋め込み形成された第1の導電体23aと、第1の導電体上に形成された下部メタル電極25／高誘電体膜26／上部メタル27のスタック構造からなり、下部メタルが第1の導電体に電気的に接続され、高誘電体膜が電気的に絶縁破壊されることにより書き込み可能なアンチフューズ用のキャバシタ24aと、第1の導電体の上方およびキャバシタの上方にそれぞれ形成され、第1の導電体およびキャバシタの上部メタル電極にそれぞれコンタクトするように形成された一対の第2の導電体30とを具備する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された配線溝の内部に埋め込み形成された第1の導電体と、

前記第1の導電体上に形成された上部メタル電極／絶縁膜／下部メタルのスタック構造からなり、前記下部メタルが前記第1の導電体に電気的に接続され、前記絶縁膜が電気的に絶縁破壊されることにより書き込み可能なアンチフェーズ用のキャパシタと、

前記第1の導電体の上方およびキャパシタの上方にそれぞれ形成され、前記第1の導電体および前記キャパシタの上部メタル電極にそれぞれコンタクトするように形成された一対の第2の導電体とを具備することを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された配線溝の内部に埋め込み形成され、平面が細長いパターンを有するフェーズ素子用の第1の導電体と、

前記第1の導電体にそれぞれコンタクトし、平面が細長いパターンを有するように形成され、それぞれの先端同士が前記細長い第1の導電体の中間部上で対向する一対の第2の導電体と、

前記一対の第2の導電体にそれぞれコンタクトするように上方に形成された一対の第3の導電体とを具備することを特徴とする半導体装置。

【請求項3】 半導体基板上に形成された配線溝の内部に埋め込み形成され、平面が細長いパターンを有するフェーズ素子用の第1の導電体と、前記第1の導電体にそれぞれコンタクトし、平面がT字状パターンを有するように形成され、それぞれのパターン上辺部同士が前記細長い第1の導電体の中間部上を横切る状態で対向する一対の第2の導電体と、

前記一対の第2の導電体にそれぞれコンタクトするように上方に形成された一対の第3の導電体とを具備することを特徴とする半導体装置。

【請求項4】 前記一対の第2の導電体が埋め込まれた一対の細長い配線溝を有する層間絶縁膜と、

前記層間絶縁膜上で前記一対の細長い配線溝の対向する各一辺以外の周辺部を覆うエッチングマスクパターンとをさらに具備することを特徴とする請求項2記載の半導体装置。

【請求項5】 半導体基板上に第1の層間絶縁膜を堆積し、その一部に配線溝を形成する工程と、

前記配線溝の内部に第1の導電体を埋め込み形成する工程と、

前記第1の導電体上に下部メタル電極／絶縁膜／上部メタルのスタック構造からなり、前記下部メタルが前記第1の導電体に電気的に接続され、前記絶縁膜が電気的に絶縁破壊されることにより書き込み可能なアンチフェーズ用のキャパシタを形成する工程と、

前記キャパシタが形成された半導体基板上に第2の層間絶縁膜を堆積し、その一部にコンタクト孔を形成する工

程と、

前記第1の導電体および前記キャパシタの上部メタル電極にそれぞれコンタクトするように一対の第2の導電体を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に第1の層間絶縁膜を堆積し、その一部に平面が細長い配線溝を形成する工程と、前記配線溝の内部にフェーズ素子用配線を埋め込み形成する工程と、

10 前記半導体基板上に第2の層間絶縁膜を堆積し、その一部に前記細長いフェーズ素子用配線に沿うように一対の細長い溝を形成する工程と、

前記細長い溝の内部を通じて前記細長いフェーズ素子用配線にコンタクトし、各一端同士が前記細長いフェーズ素子用配線の中間部上で対向する一対の電極用の導電体を形成する工程と、

前記一対の電極用の導電体にコンタクトするように一対の上部メタル配線層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

20 【請求項7】 半導体基板上に第1の層間絶縁膜を堆積し、その一部に平面が細長い配線溝を形成する工程と、前記配線溝の内部にフェーズ素子用配線を埋め込み形成する工程と、

前記半導体基板上に第2の層間絶縁膜を堆積し、その一部に、それぞれ平面がT字状パターンを有し、それぞれのパターン垂直部が前記細長いフェーズ素子用配線に沿い、それぞれのパターン上辺部が前記細長いフェーズ素子用配線の中間部上を横切る状態で対向する一対のT字状溝を形成する工程と、

30 前記T字状溝内に埋め込まれた一対の電極用の導電体を形成する工程と、

前記一対の電極用の導電体にコンタクトするように一対の上部メタル配線層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項8】 前記フェーズ素子用配線は、ポリシリコン配線であることを特徴とする請求項6または7記載の半導体装置の製造方法。

【請求項9】 半導体基板上に第1の層間絶縁膜を堆積し、その一部に平面が細長い配線溝を形成する工程と、前記配線溝の内部に導電体を埋め込むことにより細長いフェーズ素子用配線を形成する工程と、

前記半導体基板上に第2の層間絶縁膜およびストップー絶縁膜を順次堆積し、前記ストップー絶縁膜に前記フェーズ素子用配線に沿うように細長い孔を形成する工程と、

この後、前記細長いフェーズ素子用配線の中間部の上方を横切る方形のエッチングマスクパターンを形成し、これをマスクとして前記第2の層間絶縁膜を前記ストップー絶縁膜に対して選択的にエッチングすることにより、一対の細長い溝を形成する工程と、

前記細長い溝の内部を通じて前記細長いフェーズ素子用配線にコンタクトし、各一端同士が前記細長いフェーズ素子用配線の中間部上で対向する一对の電極用の導電体を形成する工程と、

前記一对の電極用の導電体にコンタクトさせるように一对の上部メタル配線層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】 前記導電体は、ポリシリコンであることを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気フェーズ素子を持つ半導体装置およびその製造方法に係り、特にアンチフェーズ素子あるいはフェーズ素子に電流を供給する配線構造およびその形成方法に関する。

【0002】

【従来の技術】半導体装置の製造歩留まりを向上するため、不良箇所をスペア回路と置き換えるリダンダンシー技術が広く採用されている。上記置き換えに際して、従来は、アルミ配線部（アルミフェーズ）をレーザービームにより熔断（レーザープロー）する方法が多く用いられてきた。これに対して、近年は、電気的に書き込み可能な電気フェーズ素子が、占有面積が小さく、パッケージ後にも置き換え可能等の理由から注目されている。

【0003】電気フェーズ素子の一例として、例えばDRAMにおいては、セルキャパシタと同一構造を有するように作成されたキャパシタに対して、キャパシタ絶縁膜を電気的に破壊してキャパシタ電極間を導通させることにより情報を書き込むタイプのアンチフェーズ素子が検討されてきたが、以下のような問題があった。

【0004】即ち、通常、セルキャパシタの蓄積電極側に相当する電極は比較的抵抗の高いポリプラグまたはシリコン基板に接続されており、このセルキャパシタと同一の工程によりアンチフェーズ用のキャパシタが作成されるので、その絶縁破壊に要する電流・電圧をキャパシタに印加する際に電圧降下が大きくなり、必要以上に大きな書き込み電源回路を用意する必要が生じていた。

【0005】一方、電気フェーズ素子の他の例として、メタル配線部に過大電流を通すことにより熔断する配線熔断タイプのフェーズ素子も検討されているが、上記メタル配線部は一般に低抵抗・高エレクトロマイグレーション耐性となるように設計されるので、新たなプロセスを追加しない限り、容易に熔断することができない。熔断するためには、例えば10mA程度もの電流が必要になってきており、やはり大規模な書き込み電源回路を必要としていた。

【0006】上記熔断電流を低減するためには、ドープトポリシリコン等の抵抗率が比較的高い配線をフェーズ素子として用いることにより可能であるが、フェーズ抵抗が大きくなりがちであり、大電圧をかけないと熔断

できないという問題が生じる。

【0007】

【発明が解決しようとする課題】上記したように従来の半導体装置に形成されるアンチフェーズ素子は、比較的抵抗の高いポリプラグまたはシリコン基板を介して電流供給配線に接続されているので、絶縁破壊に要する電流・電圧を印加する際に電圧降下が大きくなり、必要以上に大きな書き込み電源回路を用意する必要があるという問題があった。

10 【0008】また、従来の半導体装置に形成される配線熔断タイプのフェーズ素子は、配線部を容易に切断することができず、大規模な書き込み電源回路を必要とするという問題があった。

【0009】本発明は上記の問題点を解決すべくなされたもので、書き込み歩留まりの向上および書き込み電源回路部の占有面積の縮小を可能にするフェーズ素子を備えた半導体装置およびその製造方法を提供することを目的とする。

【0010】

20 【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板上に形成された配線溝の内部に埋め込み形成された第1の導電体と、前記第1の導電体上に形成された上部メタル電極／絶縁膜／下部メタルのスタック構造からなり、前記下部メタルが前記第1の導電体に電気的に接続され、前記絶縁膜が電気的に絶縁破壊されることにより書き込み可能なアンチフェーズ用のキャパシタと、前記第1の導電体の上方およびキャパシタの上方にそれぞれ形成され、前記第1の導電体および前記キャパシタの上部メタル電極にそれぞれコンタクトするよう30 に形成された一对の第2の導電体とを具備することを特徴とする。

【0011】本発明の第2の半導体装置は、半導体基板上に形成された配線溝の内部に埋め込み形成され、平面が細長いパターンを有するフェーズ素子用の第1の導電体と、前記第1の導電体にそれぞれコンタクトし、平面が細長いパターンを有するように形成され、それぞれの先端同士が前記細長い第1の導電体の中間部上で対向する一对の第2の導電体と、前記一对の第2の導電体にそれぞれコンタクトするように上方に形成された一对の第3の導電体とを具備することを特徴とする。

40 【0012】なお、第2の半導体装置において、前記一对の第2の導電体をそれぞれ平面がT字状パターンを有するように形成し、それぞれのパターン上辺部同士が前記細長い第1の導電体の中間部上を横切る状態で対向するように形成してもよい。

【0013】また、第2の半導体装置において、前記一对の第2の導電体が埋め込まれた一对の細長い配線溝を有する層間絶縁膜上で、前記一对の細長い配線溝の対向する各一辺以外の周辺部を覆うエッチングマスクパターンを具備してもよい。

【0014】本発明の第1の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を堆積し、その一部に配線溝を形成する工程と、前記配線溝の内部に第1の導電体を埋め込み形成する工程と、前記第1の導電体上に下部メタル電極／絶縁膜／上部メタルのスタック構造からなり、前記下部メタルが前記第1の導電体に電気的に接続され、前記絶縁膜が電気的に絶縁破壊されることにより書き込み可能なアンチフューズ用のキャパシタを形成する工程と、前記キャパシタが形成された半導体基板上に第2の層間絶縁膜を堆積し、その一部にコンタクト孔を形成する工程と、前記第1の導電体および前記キャパシタの上部メタル電極にそれぞれコンタクトするよう10に一対の第2の導電体を形成する工程とを具備することを特徴とする。

【0015】本発明の第2の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を堆積し、その一部に平面が細長い配線溝を形成する工程と、前記配線溝の内部にフューズ素子用配線を埋め込み形成する工程と、前記半導体基板上に第2の層間絶縁膜を堆積し、その一部に前記細長いフューズ素子用配線に沿うように一対の細長い溝を形成する工程と、前記細長い溝の内部を通じて前記細長いフューズ素子用配線にコンタクトし、各一端同士が前記細長いフューズ素子用配線の中間部上で対向する一対の電極用の導電体を形成する工程と、前記一対の電極用の導電体にコンタクトさせるように一対の上部メタル配線層を形成する工程とを具備することを特徴とする。

【0016】なお、第2の半導体装置の製造方法において、前記第2の層間絶縁膜の一対の細長い溝に代えて、それぞれ平面がT字状パターンを有し、それぞれの垂直片パターン部が前記細長いフューズ素子用配線に沿い、それぞれのパターン上辺部同士が前記細長いフューズ素子用配線の中間部上を横切る状態で対向するよう一対のT字状溝を形成し、この一対のT字状溝内に一対の電極用の導電体を埋め込み形成してもよい。

【0017】本発明の第3の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を堆積し、その一部に平面が細長い配線溝を形成する工程と、前記配線溝の内部に導電体を埋め込むことにより細長いフューズ素子用配線を形成する工程と、前記半導体基板上に第2の層間絶縁膜をおよびストッパー絶縁膜を順次堆積し、前記ストッパー絶縁膜に前記フューズ素子用配線に沿うように細長い孔を形成する工程と、この後、前記細長いフューズ素子用配線の中間部の上方を横切る細長い方形のエッチングマスクパターンを形成し、これをマスクとして前記第2の層間絶縁膜を前記ストッパー絶縁膜に対して選択的にエッチングすることにより、一対の細長い溝を形成する工程と、前記細長い溝の内部を通じて前記細長いフューズ素子用配線にコンタクトし、各一端同士が前記細長いフューズ素子用配線の中間部上で対向する一対の

電極用の導電体を形成する工程と、前記一対の電極用の導電体にコンタクトさせるように一対の上部メタル配線層を形成する工程とを具備することを特徴とする。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0019】<第1の実施形態>第1の実施形態では、アンチフューズと書き込み電源回路（電流供給源）との間を低抵抗で接続する構造およびその形成方法について10説明する。

【0020】図1（a）乃至（f）、図2（a）乃至（d）および図3（a）乃至（d）は、本発明の第1の実施形態に係るDRAMにおけるメモリセルアレイ領域とアンチフューズ形成領域の主要な製造工程を示している。

【0021】まず、図1（a）、（b）に示すように、従来技術を用いて半導体基板10の表面に選択的に素子分離領域11を形成し、メモリセルアレイ領域にはセルトランジスタを形成し、アンチフューズ形成領域の素子分離領域11上に任意の電極パターン（必須ではない）13aを形成する。

【0022】なお、図1（a）、（b）中、12はゲート絶縁膜であり、13はセルトランジスタのゲート電極（ワード線の一部）であり、このゲート電極13および前記電極パターン13aは、ポリシリコン131上にタンガステンシリサイド132が形成されており、その表面がゲート保護膜14により保護されている。

【0023】また、メモリセルアレイ領域は、表示の簡化のためにセルトランジスタのソース・ドレイン領域30の図示を省略しており、同一ビット線に共通にドレインが接続される同一列の一対（2個）のセルトランジスタと、隣りの列のセルトランジスタを代表的に取り出して示している。

【0024】次に、リソグラフィー法とRIE法を用いて、層間絶縁膜15を堆積し、その上部を例えばCMP（化学的機械研磨）法を用いて平坦化する。

【0025】次に、図1（c）、（d）に示すように、メモリセルアレイ領域にはビット線接続部およびキャパシタ接続部となる位置に開口部を形成し、この開口部を埋め込むようにポリシリコンを堆積してその上部を例えばCMP法を用いて除去することによりポリプラグ17を形成する。

【0026】次に、図1（e）、（f）に示すように、層間絶縁膜（例えばSiN）18を堆積し、さらに、従来技術を用いて、ビット線配線（例えばW/TiN）19をビット線接続用の同一列のポリプラグ17にそれぞれコンタクトするように形成する。このビット線配線19を形成する際、層間絶縁膜18の一部にコンタクト孔を開口し、その内面および層間絶縁膜19上にWを堆積した後、パターンニングして形成してもよいが、層間絶縁膜18の一部

にビット線配線溝およびその底面の一部にコンタクト孔を開口し、Wを埋め込むようにして形成してもよい。

【0027】次に、図2(a)、(b)に示すように、層間絶縁膜(例えはSiN)20を堆積し、その上部を例えばCMP法を用いて平坦化する。次に、リソグラフィー法とRIE法を用いて、メモリセルアレイ領域にはキャパシタ接続部用ポリプラグ17上にプラグ開口部21を開口し、アンチフェーズ形成領域には前記電極パターン13a上に配線溝22を形成しておく。この場合、アンチフェーズ形成領域のゲート保護膜(例えはSiN)14は、RIEのストッパーとなる。

【0028】なお、プラグ開口部21の長径／短径比は例えは2以下であり、配線溝22の長径／短径比は例えは3以上である。また、プラグ開口部21は、ビット線配線19に対して奥行き方向(図面の前後方向)にずれており、プラグ開口部21を形成する際にビット線配線19が分断されるものではない。

【0029】次に、図2(c)、(d)に示すように、例えはTiNバリア膜(図示せず)を介してタンクスティン等のメタルを前記プラグ開口部21および配線溝22に埋め込むように堆積し、その上部をCMP法などで除去する。これにより、メモリセルアレイ領域にはメタルプラグ23が形成され、アンチフェーズ形成領域には非常に厚い膜厚を持つ引き出しメタル配線23aが形成される。

【0030】次に、図3(a)、(b)に示すように、メモリセルアレイ領域にはスタッカタイプのセルキャパシタ24として、下部メタル(蓄積電極)25／絶縁膜(本例では高誘電体膜)26／上部メタル(プレート電極)27を形成し、アンチフェーズ形成領域には後で絶縁破壊することにより書き込み可能なスタッカタイプのアンチフェーズ用のキャパシタ24aを形成する。

【0031】これらのキャパシタ24、24aは、既に開示されている技術を用いて形成することが可能である。例えは、まず、層間絶縁膜として、例えは薄いSiN膜28および厚いSiO膜(図示せず)を順次堆積し、その一部(下層の導体上)にコンタクト孔を形成する。

【0032】次に、上記コンタクト孔の内面および層間絶縁膜上に下部メタル25として、必要に応じてTiNを介して例えはRuを堆積し、前記厚いSiO膜上のRuおよび上記SiO膜を除去する。次に、高誘電体膜(例えはTaO)26を堆積し、さらに、上部メタル(例えはRu)27を堆積し、上部メタル27および高誘電体膜26を同時にパターンニングする。

【0033】なお、ここで、メタル電極としては、Ru等の単体金属の他にも、例えはRuO₂(酸化ルテニウム)や、SrRuO₃(ルテニウム酸化ストロンチウム)等の金属化合物でもよい。

【0034】次に、図3(c)、(d)に示すように、従来技術を用いて、層間絶縁膜29を堆積し、ビアホールを形成し、上部メタル配線層30を形成する。この際、ア

ンチフェーズ形成領域では、アンチフェーズ用のキャパシタ24aの上部メタル27および引き出しメタル配線23aの一端部上にそれぞれビアコンタクトを介してコンタクトするように一对の上部メタル配線層30を形成する。

【0035】即ち、上記第1の実施形態によれば、通常はメモリセルアレイ領域のメタルプラグ23形成用の配線層を用いてアンチフェーズ形成領域に非常に深い配線溝22を形成して引き出しメタル配線23aを埋め込み、この引き出しメタル配線23aの一端部上にコンタクトするようアンチフェーズ用のキャパシタ24aの下部メタル25を形成し、引き出しメタル配線23aの一端部上にビアコンタクトを介して連なるように上部メタル配線層30を形成している。

【0036】これにより、アンチフェーズ用のキャパシタ24aを従来例のようなポリシリコンやシリコン基板中の拡散層といった高抵抗部を介すことなく、上部メタル配線層30に引き出すことが可能になる。したがって、フェーズ書き込み用の電源回路から上部メタル配線層30および引き出しメタル配線23aを経由してアンチフェーズ用のキャパシタ24aに電圧を印加することが可能になる。この際、フェーズ書き込み用の電源回路からアンチフェーズ用のキャパシタ24aまでの配線抵抗を最低限に抑え、フェーズ書き込み用の電源回路とアンチフェーズ用のキャパシタ24aとの間の電圧降下を最小限に抑え、アンチフェーズ部のみに書き込み電力を集中させることができ可能になる。

【0037】この結果、書き込み歩留まりの向上およびフェーズ書き込み用の電源回路部の占有面積の縮小化を図ることができ、半導体装置の歩留まりの向上や低コスト化を実現することが可能になる。

【0038】即ち、上記第1の実施形態の特徴は、通常はコンタクトプラグを形成するために使用されるプロセスを、例外的にアンチフェーズ部の「引き出し配線」として用いることにある。

【0039】これにより、メモリセルアレイ領域には「キャパシタ電極25／メタルプラグ23／ポリプラグ17／セルトランジスタ拡散層」という望ましい構造を用いながら、アンチフェーズ形成領域では、「キャパシタ電極25／引き出しメタル配線23a／ビアコンタクト／上部メタル配線層30」の非常に低抵抗の経路でアンチフェーズ部への接続が可能になる。

【0040】アンチフェーズ部の引き出し配線として、従来例のようにポリプラグを用いた場合には、例えは0.13μm世代ではポリプラグ抵抗およびその界面に生ずる抵抗により数kΩの増加をきたすが、上記第1の実施形態の引き出しメタル配線23aによれば、わずか数十Ωでアンチフェーズ部の引き出しが可能になる。

【0041】<第2の実施形態>第2の実施形態は、導電部に過大電流を通すことにより熔断するタイプのフェーズ素子の構造およびその形成方法に係るものである。

【0042】図4（a）乃至（h）および図5（a）乃至（c）は、本発明の第2の実施形態に係るDRAMにおけるメモリセルアレイ領域とフューズ素子形成領域の主要な製造工程を示している。

【0043】まず、図4（a）、（b）に示すように、従来技術を用いて半導体基板10の表面に選択的に素子分離領域11を形成し、メモリセルアレイ領域にはセルトランジスタを形成する。

【0044】なお、図4（a）、（b）中、12はゲート絶縁膜であり、13はセルトランジスタのゲート電極（ワード線の一部）であり、このゲート電極13は、ポリシリコン131上にタングステンシリサイド132が形成されたり、その表面がゲート保護膜14により保護されている。

【0045】また、メモリセルアレイ領域は、表示の簡単化のためにセルトランジスタのソース・ドレイン領域の図示を省略しており、同一ビット線に共通にドレインが接続される同一列の一対（2個）のセルトランジスタと、隣りの列のセルトランジスタを代表的に取り出して示している。次に、層間絶縁膜15を堆積し、その上部を例えばCMP法を用いて平坦化する。

【0046】次に、リソグラフィー法とRIE法を用いて、図4（c）、（d）に示すように、メモリセルアレイ領域にはビット線接続部およびキャパシタ接続部となる位置に開口部を形成し、フューズ素子形成領域の素子分離領域上には、平面が細長いパターンを有する配線溝を形成しておく。

【0047】そして、前記開口部および配線溝を埋め込むように導電体（例えばポリシリコン）を堆積してその上部を例えばCMP法を用いて除去することにより、メモリセルアレイ領域には導電プラグ（本例ではポリプラグ）17を形成し、フューズ素子形成領域の素子分離領域上には、図4（e）の平面図に示すように、平面が細長いパターンを有するフューズ素子用配線（本例ではポリシリコン配線）17aを形成する。

【0048】次に、図4（f）、（g）に示すように、層間絶縁膜（例えばSiN）18を堆積し、さらに、従来技術を用いて、メモリセルアレイ領域にはビット線コンタクト孔36を形成し、フューズ素子形成領域には、図4（h）の平面図に示すように、前記細長いフューズ素子用ポリシリコン配線17aの両端部に沿うように一对の細長い溝36aを形成しておく。この場合、一对の細長い溝36aが細長いフューズ素子用ポリシリコン配線17aの中間部上で最小加工寸法（Minimum Space）程度の間隔で対向するように形成する。なお、ビット線コンタクト孔36の長径／短径比は例えば2以下であり、細長い溝36aの長径／短径比は例えば3以上である。

【0049】次に、デュアルダマシン法を用いて、図5（a）、（b）に示すように、ビット線配線（例えばW/TiN）19がビット線コンタクト孔36を通じてビット

線接続用の同一列のポリプラグ17にそれぞれコントクトするように形成するとともに、細長い溝36aを通じて細長いフューズ素子用ポリシリコン配線17aの両端部に連なる厚い膜厚を持つ一对の電極用のメタル配線19aを形成する。なお、フューズ素子用ポリシリコン配線17aが長く形成されている場合には、電極用のメタル配線19aがフューズ素子用ポリシリコン配線17aに連なる位置は、フューズ素子用ポリシリコン配線17aの両端部に限られない。

10 【0050】次に、層間絶縁膜（例えばSiN）20を堆積し、その上部を例えばCMP法を用いて平坦化する。以後は、リソグラフィー法とRIE法を用いて、メモリセルアレイ領域にはキャパシタ接続部用のポリプラグ17上にプラグ開口部を開口し、例えばTiNバリア膜（図示せず）を介してタングステン等のメタルを前記プラグ開口部に埋め込むように堆積し、その上部をCMP法などで除去する。これにより、メモリセルアレイ領域にはメタルプラグ23が形成される。

【0051】次に、第1の実施形態で述べたように、薄いSiN膜28を含む層間絶縁膜を堆積し、メモリセルアレイ領域にはスタックタイプのセルキャパシタ24として、下部メタル（蓄積電極）25／絶縁膜（本例では高誘電体膜）26／上部メタル（プレート電極）27を形成する。

【0052】次に、従来技術を用いて、層間絶縁膜29を堆積し、ビアホールを形成し、上部メタル配線層30を形成する。この際、フューズ素子形成領域では、図5（c）の平面図に示すように、一对の電極用のメタル配線19aにそれぞれビアコンタクトを介してコントクトするように一对の上部メタル配線層30を形成する。

【0053】即ち、上記第2の実施形態によれば、通常は配線層として用いられないポリプラグ17層をフューズ素子用ポリシリコン配線17aとして用いることにより、通常の配線では用いられない高抵抗の配線部を形成することができる。

【0054】さらに、低抵抗なビット線コンタクト部およびビット線配線19層と同時に形成される厚い膜厚の電極用のメタル配線19aをフューズ素子引き出し配線として用いることにより、通常のビット線よりも遙かに低抵抗で引き出すことが可能になる。また、この方法では、フューズ素子用ポリシリコン配線17aと電極用のメタル配線19aとの接触面積を広くとることができるので、フューズ素子引き出し部全体の抵抗の低減に有効である。

【0055】これにより、フューズ書き込み（熔断）用の電源回路から上部メタル配線層30およびフューズ素子引き出し配線19aを経由して細長いフューズ素子用ポリシリコン配線17aの両端部間に電圧を印加することが可能になる。この際、フューズ書き込み用の電源回路からフューズ素子までの配線抵抗を最低限に抑えながら、フューズ素子部のみを高抵抗とすることができる。したが

11

って、フューズ書き込み用の電源回路で発生させた電力をフューズ素子部のみに効果的に集中させて容易に書き込み（熔断）を行うことが可能になる。

【0056】<第2の実施形態の変形例>前記フューズ素子部のみに効果的に書き込み電力を集中させて発熱を集中させるためには、図5（c）に示したように、フューズ素子部を細くして電流密度を高くし、細長いフューズ素子部の中間部上で最小加工寸法程度の間隔で対向するように一対の電極用のメタル配線19aを形成してフューズ素子部の中間部に書き込み電力を集中させて発熱を集中させることが望ましい。

【0057】しかし、細長いフューズ素子用ポリシリコン配線17aの両端部に沿うようにビット線コンタクト層による一対の電極用のメタル配線19aを埋め込むための一対の細長い溝36aを形成する際、図4（h）に示したように、それぞれ細長いパターンの各一端（先端）同士が最小加工寸法の間隔で対向するのでリソグラフィー工程におけるショートニングが発生し易く、先端同士の対向間隔を最小加工寸法に正確に制御することが困難な場合がある。

【0058】そこで、細長い溝36aに代えて、図6の平面図に示すように、層間絶縁膜18に、それぞれ平面がT字状パターンを有し、それぞれのパターン垂直部が前記細長いフューズ素子用ポリシリコン配線17aの両端部に沿い、それぞれのパターン上辺部が前記細長いフューズ素子用ポリシリコン配線17aの中間部上を横切る状態で最小加工寸法の間隔で対向する一対のT字状溝36bを形成してもよい。

【0059】このようにT字状パターンのパターン上辺部同士が対向するようなパターンニングを行うと、リソグラフィー工程におけるショートニングが抑制され、T字状パターン同士の対向間隔を正確に制御することが容易になる。

【0060】したがって、この一対のT字状溝36bに一対の電極用のメタル配線（図示せず）を埋め込むと、そのT字状パターン同士の対向間隔（フューズ素子として用いるポリシリコン部分の長さ）を正確に制御することが容易になる。これにより、フューズ素子部を溶断する際に必要とされる電流値のばらつきを抑制することができ、フューズ書き込みの歩留まりを向上させることができくなる。

【0061】<第3の実施形態>図7（a）乃至（h）および図8（a）乃至（e）は、本発明の第3の実施形態に係るDRAMにおけるメモリセルアレイ領域とフューズ素子形成領域の主要な製造工程を示している。第3の実施形態は、第2の実施形態と同様に、導電部に過大電流を通すことにより熔断するタイプのフューズ素子の構造およびその形成方法に係るものであり、ビット線およびビット線コンタクトの形成方法として自己整合的なプロセスを用いる点に特徴がある。

12

【0062】まず、図7（a）乃至（d）の断面図および図7（e）の平面図に示すように、第2の実施形態の図4（a）乃至（e）に示した工程と同様に実施する。ここで、図4（a）乃至（e）中と同一部分には同一符号を付してその説明を省略する。

【0063】次に、図7（f）、（g）に示すように、層間絶縁膜18を堆積し、続いてその上部に例えばシリコン窒化膜（SiN膜）からなるストッパー絶縁膜61を堆積する。この後、リソグラフィー法とRIE法を用いて、メモリセルアレイ領域にはストッパー絶縁膜61にビット線コンタクト部用の孔62を形成し、フューズ素子形成領域には、図7（h）の平面図に示すように、前記フューズ素子用配線に沿うように細長い孔62aを形成しておく。

【0064】次に、図8（a）、（b）に示すように、リソグラフィー法とRIE法を用いて、メモリセルアレイ領域にはビット線コンタクト孔66を形成する。この時、フューズ素子形成領域には、フューズ素子用ポリシリコン配線17aの中間部の上方を横切る例えば細長い方形のエッチングマスクパターン（例えばSiN）63を形成し、これをマスクとして前記層間絶縁膜18を前記ストッパー絶縁膜61に対して選択的にエッチングするRIE条件を用いる。

【0065】これにより、図8（c）の平面図に示すように、フューズ素子用ポリシリコン配線17aの両端部を含む一対の細長い方形の配線溝66aを形成することができる。この際、一対の細長い方形の配線溝66aがフューズ素子用ポリシリコン配線17aの中間部の上方を横切る状態で対向する間隔（スペース）が最小加工寸法となるように前記エッチングマスクパターン63により正確に制御することが可能である。なお、前記ビット線コンタクト孔66の長径／短径比は例えば2以下であり、細長い溝66aの長径／短径比は例えば3以上である。

【0066】次に、第2の実施形態の図5（a）、（b）に示した工程に準じて実施する。即ち、まず、図8（d）、（e）に示すように、ビット線配線（例えばW/TiN）19がビット線コンタクト孔66を通じてビット線接続用の同一列のポリプラグ17にそれぞれコンタクトするように形成するとともに、細長い溝66aを通じて細長いフューズ素子用ポリシリコン配線17aの両端部に連なる厚い膜厚を持つ一対の電極用のメタル配線19aを形成する。なお、この工程の前あるいは後に、前記エッチングマスクパターン63を除去する。

【0067】次に、層間絶縁膜20を堆積し、その上部を平坦化し、メモリセルアレイ領域にはキャバシタ接続部用のポリプラグ17上にプラグ開口部を開口し、このプラグ開口部にメタルを埋め込むように堆積し、その上部をCMP法などで除去する。これにより、メモリセルアレイ領域にはメタルプラグ23が形成される。

【0068】次に、メモリセルアレイ領域にはスタッ

タイプのセルキャパシタ24として、下部メタル（蓄積電極）25／絶縁膜（本例では高誘電体膜）26／上部メタル（プレート電極）27を形成する。

【0069】次に、層間絶縁膜29を堆積し、ビアホールを形成し、上部メタル配線層30を形成する。この際、フューズ素子形成領域では、一对の電極用のメタル配線19aにそれぞれビアコンタクトを介してコンタクトするよう一対の上部メタル配線層30を形成する。

【0070】上記第3の実施形態の半導体装置の製造方法によれば、トップ一絶縁膜61に形成した一对の細長い方形の配線溝66aおよびエッチングマスクパターン63により、一对の細長い方形の配線溝66aがフューズ素子用ポリシリコン配線17aの中間部の上方を横切る状態で対向する間隔（スペース）が最小加工寸法となるように正確に制御することが可能である。

【0071】したがって、上記一对の細長い方形の配線溝66aに埋め込み形成される一对の電極用のメタル配線19aの対向間隔（スペース）により正確に制御することが可能になる。結果として、フューズ素子部を溶断する際に必要とされる電流値のばらつきを抑制することが可能になり、フューズ書き込みの歩留まりを向上させることができる。

【0072】なお、上記第3の実施形態により得られる半導体装置は、前記第2の実施形態により得られる半導体装置と比べて、一对の電極用のメタル配線19aが埋め込まれた一对の細長い配線溝66aを有する層間絶縁膜18上で、一对の細長い配線溝66aの対向する各一辺以外の周辺部を覆うエッチングマスクパターン61が残存している点に特徴がある。

【0073】

【発明の効果】上述したように本発明によれば、書き込み歩留まりの向上および書き込み電源回路部の占有面積の縮小を可能にするフューズ素子を備えた半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るDRAMにおけるメモリセルアレイ領域とアンチフューズ形成領域の主要な製造工程の一部を示す断面図。

【図2】図1の工程に続く工程の一部を示す断面図。

【図3】図2の工程に続く工程の一部を示す断面図。

【図4】本発明の第2の実施形態に係るDRAMにおけるメモリセルアレイ領域とフューズ形成領域の主要な製造工程の一部を示す断面図および平面図。

【図5】図4の工程に続く工程の一部を示す断面図および平面図。

【図6】図5の工程の一部の変形例を示す平面図。

【図7】本発明の第3の実施形態に係るDRAMにおけるメモリセルアレイ領域とフューズ形成領域の主要な製造工程の一部を示す断面図および平面図。

【図8】図7の工程に続く工程の一部を示す断面図および平面図。

【符号の説明】

10…半導体基板、

11…素子分離領域、

12…電極パターン、

13…ゲート絶縁膜、

14…ゲート電極、

20 15…層間絶縁膜、

16、16a…開口部、

17…ポリプラグ、

18…層間絶縁膜、

19…ビット線配線、

20…層間絶縁膜、

21…プラグ開口部、

22…配線溝、

23…メタルプラグ、

23a…引き出しメタル配線、

30 24…セルキャパシタ、

24a…アンチフューズ用のキャパシタ、

25…下部メタル、

26…絶縁膜、

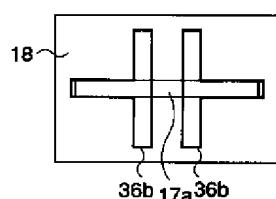
27…上部メタル、

28…SiN膜、

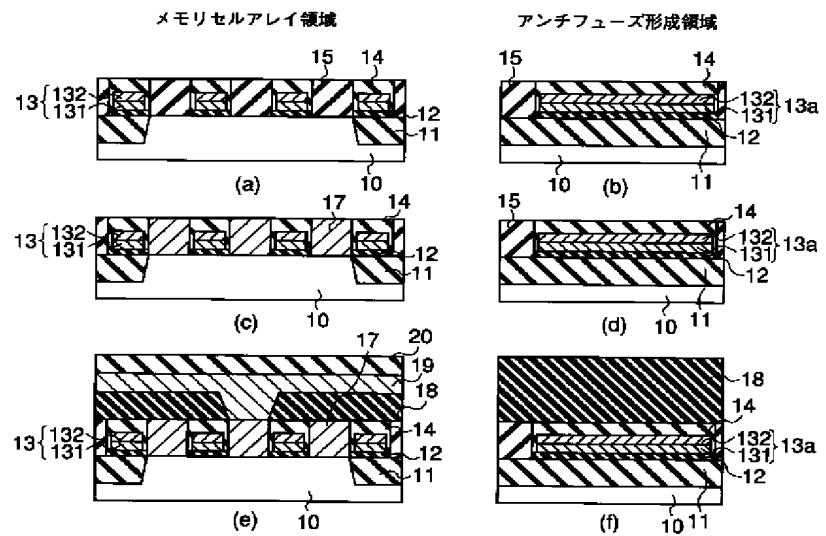
29…層間絶縁膜、

30…上部メタル配線層。

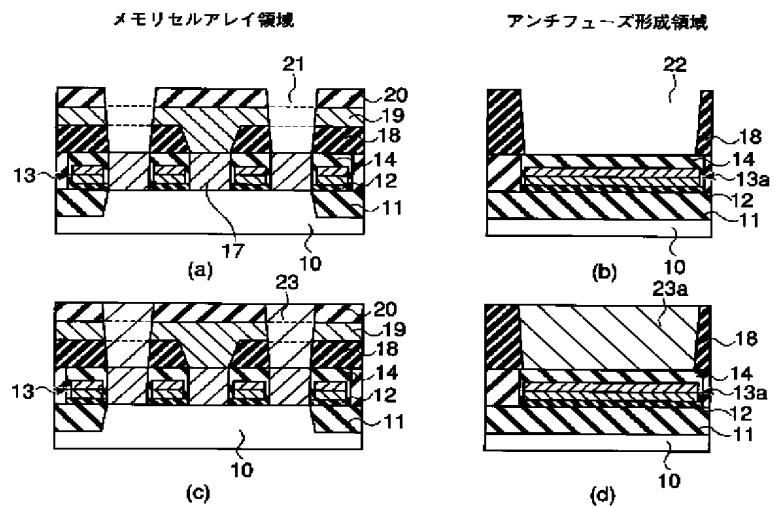
【図6】



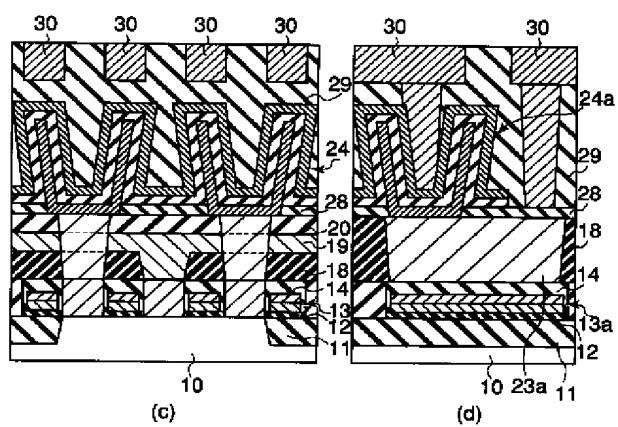
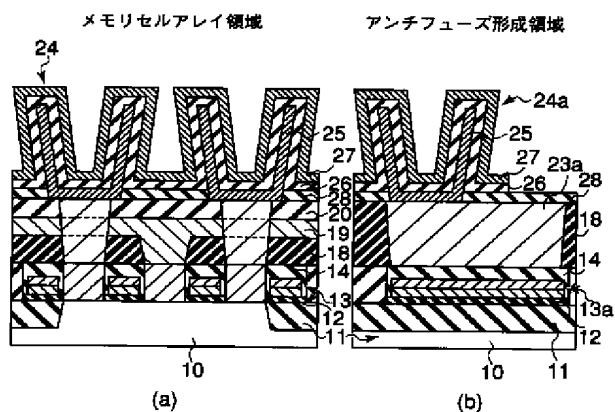
【図1】



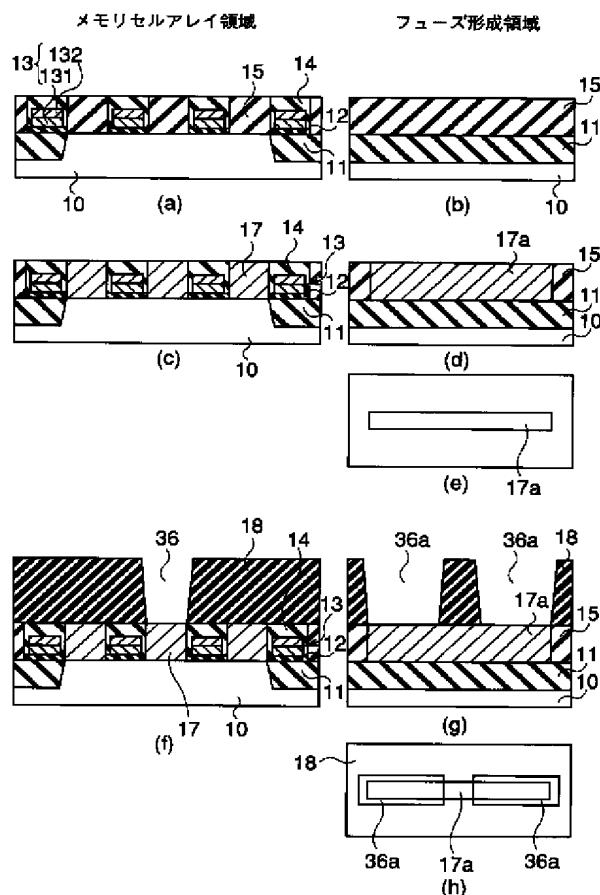
【図2】



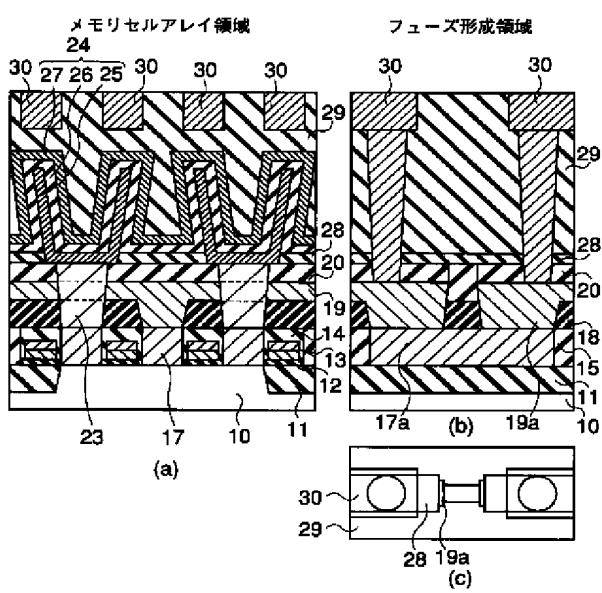
【図3】



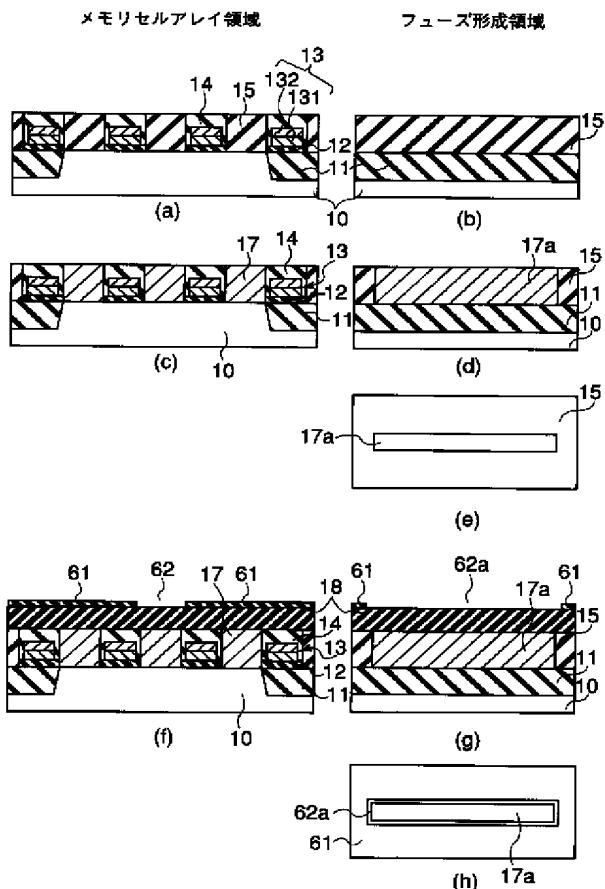
【図4】



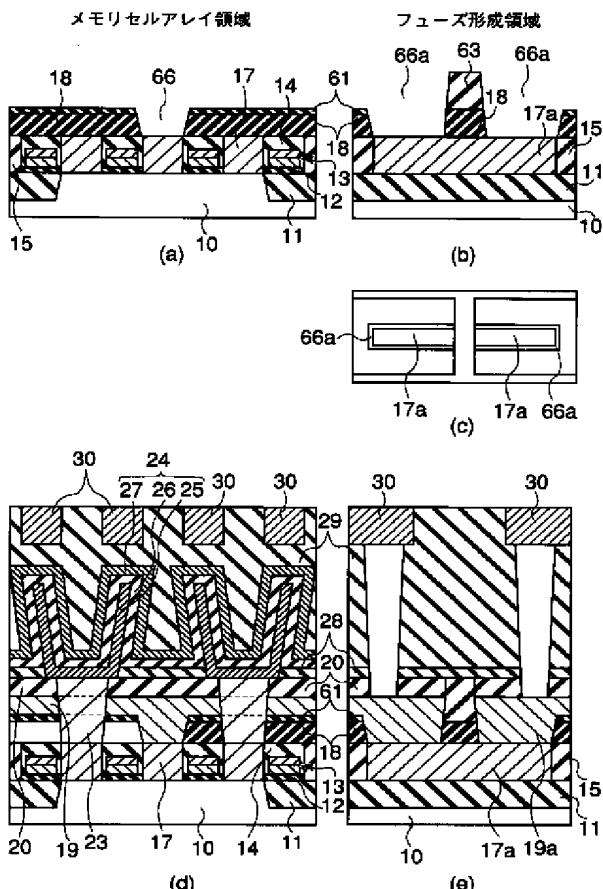
【図5】



【図7】



【四八】



フロントページの続き

(51) Int. Cl. 7
H O 1 L 27/10
27/108

識別記号

F I
H O 1 L 21/90

テーマコード（参考）

F ターム(参考) 5F033 HH04 HH19 HH28 HH33 JJ01
JJ04 KK01 MM02 MM05 MM07
QQ09 QQ13 QQ25 QQ37 QQ48
VV06 VV10 VV16 XX03 XX09
XX34
5F064 BB14 EE32 EE42 FF02 FF27
FF28 FF29 FF30 FF34 FF45
5F083 AD24 AD48 CR12 GA09 GA30
JA06 JA32 JA35 JA38 JA39
JA40 JA43 JA53 JA56 MA06
MA16 MA17 MA20 NA01 PR03
PR40 ZA14

PAT-NO: JP02002334928A
DOCUMENT-IDENTIFIER: JP 2002334928 A
TITLE: SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD
THEREFOR
PUBN-DATE: November 22, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
FUKUZUMI, YOSHIAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2001136437

APPL-DATE: May 7, 2001

INT-CL (IPC): H01L021/82 , H01L021/3205 ,
H01L021/768 , H01L021/8242 ,
H01L027/10 , H01L027/108

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a fuse device, by which the writing yield ratio can be improved and the space required for a writing power supply circuit can be reduced, and to provide its manufacturing method.

SOLUTION: The semiconductor device is composed of a first conductor 23a, embedded in a wiring groove 22 formed on a semiconductor substrate 10 and a stack structure of a lower metal electrode 25, a high-dielectric film 26 and an upper metal 27 formed on the first conductor 23a. The lower metal 25 is electrically connected with the first conductor 23a. There are provided a capacitor 24a for anti-fuse, which can be written by electrical dielectric breakdown of the high-dielectric film 26 and a pair of second conductors 30 which are respectively formed above the first conductor 23a and above the capacitor 24a and are respectively brought into contact with the first conductor 23a and the upper metal electrode of the capacitor 24a.

COPYRIGHT: (C) 2003, JPO